

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009056

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H01L 21/3065
H01L 21/027
H01L 21/306
H01L 21/3213
H01L 27/108
H01L 21/8242

(21)Application number : 2000-188160

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.06.2000

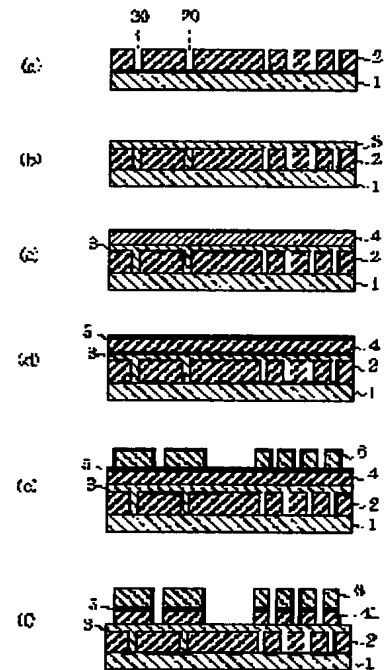
(72)Inventor : ISHIBASHI TAKEO

(54) FINE PATTERN FORMING METHOD AND DEVICE MANUFACTURED BY THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem that a whole remaining pattern becomes small when the fine pattern of not less than the resolution of lithography technology is formed.

SOLUTION: A hard mask film whose etching speed differs from a worked film formed on a substrate and becomes a mask with respect to the worked film at the time of etching is formed. A first resist pattern is formed on it by lithography. A hard mask pattern is formed by etching a part except for a part covered by the resist pattern until the upper face of the worked film is exposed. Thus, a hard mask pattern is formed, the first resist pattern is removed, and a second resist pattern is formed on the hard mask pattern by lithography. Anisotropic etching is performed on a part except for a part covered by the second resist pattern. Then, the worked film is etched by making the anisotropically etched hard mask pattern as a mask.



LEGAL STATUS

[Date of request for examination]

18.06.2007

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-9056

(P2002-9056A)

(43)公開日 平成14年1月11日(2002.1.11)

(51)Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 1 L 21/3065		H 0 1 L 21/302	H 5 F 0 0 4
21/027		21/30	5 0 2 A 5 F 0 3 3
21/306		21/306	F 5 F 0 4 3
21/3213		21/88	D 5 F 0 4 6
27/108		27/10	6 8 1 F 5 F 0 8 3
審査請求 未請求 請求項の数 9 O L (全 9 頁) 最終頁に続く			

(21)出願番号 特願2000-188160(P2000-188160)

(22)出願日 平成12年6月22日(2000.6.22)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 石橋 健夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

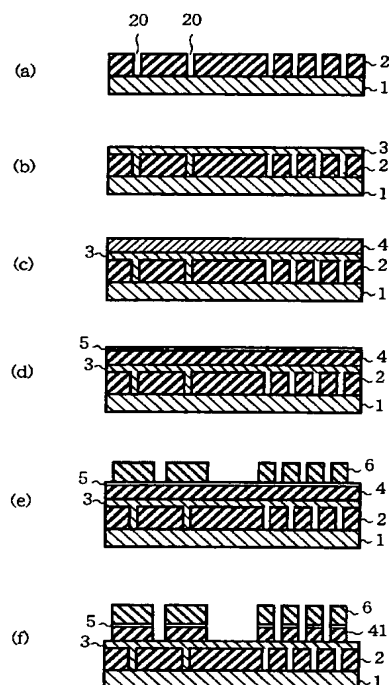
最終頁に続く

(54)【発明の名称】 微細パターン形成方法およびその方法により製造した装置

(57)【要約】

【課題】 リソグラフィ技術の解像力以上の微細パターンを形成する場合に、残しパターン全体が小さくなるといった課題があった。

【解決手段】 基板上に成膜した被加工膜とはエッチング速度が異なりエッチング時に被加工膜に対するマスクとなるハードマスク膜を成膜し、この上にリソグラフィにより第1レジストパターンを形成し、このレジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッチングすることによりハードマスクパターンを形成し、第1レジストパターンを除去した後、ハードマスクパターン上にリソグラフィにより第2レジストパターンを形成し、この第2レジストパターンで覆われた部分以外に等方性エッチングを行い、第2レジストパターンを除去した後、一部が等方性エッチングされたハードマスクパターンをマスクとして、被加工膜をエッチングするようにした。



【特許請求の範囲】

【請求項 1】 基板上に被加工膜を成膜する工程と、
上記被加工膜とエッチング速度が異なりエッチング時に
被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、

このハードマスク膜上にリソグラフィにより第 1 レジストパターンを形成する工程と、

この第 1 レジストパターンで覆われた部分以外を上記被加工膜の上面が露出するまでエッチングしハードマスクパターンを形成する工程と、

上記第 1 レジストパターンを除去する工程と、

上記ハードマスクパターン上にリソグラフィにより第 2 レジストパターンを形成する工程と、

この第 2 レジストパターンで覆われた部分以外に等方性エッチングを行う工程と、

上記第 2 レジストパターンを除去する工程と、

一部が等方性エッチングされたハードマスクパターンをマスクとして、上記被加工膜をエッチングする工程とを備えた微細パターン形成方法。

【請求項 2】 被加工膜が導電性膜からなるとともに、ハードマスク膜が絶縁膜からなることを特徴とする請求項 1 記載の微細パターン形成方法。

【請求項 3】 導電性膜がポリシリコン、タングステンシリサイド、アルミニウムおよびタングステンのうち少なくとも 1 種類またはこれらの多層膜により構成されるとともに、絶縁膜がシリコン酸化膜およびシリコン窒化膜のいずれか一方またはこれらの二層膜により構成されることを特徴とする請求項 2 記載の微細パターン形成方法。

【請求項 4】 被加工膜が絶縁膜からなるとともに、ハードマスク膜が導電性膜からなることを特徴とする請求項 1 記載の微細パターン形成方法。

【請求項 5】 絶縁膜がシリコン酸化膜およびシリコン窒化膜のうち一方またはこれらの二層膜により構成されるとともに、導電性膜がポリシリコン、タングステンシリサイド、アルミニウムおよびタングステンのうち少なくとも 1 種類またはこれらの多層膜により構成されることを特徴とする請求項 4 記載の微細パターン形成方法。

【請求項 6】 等方性エッチングをウェットエッチングで行うことを特徴とする請求項 1 記載の微細パターン形成方法。

【請求項 7】 第 1 のレジストパターン形成前に反射防止膜を形成する工程をさらに備えたことを特徴とする請求項 1 記載の微細パターン形成方法。

【請求項 8】 請求項 1 記載の微細パターン形成方法により製造した半導体装置。

【請求項 9】 請求項 1 記載の微細パターン形成方法により製造した液晶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置および液晶装置等のエレクトロニクスデバイスに適用される微細パターン形成方法およびその方法により製造した装置に関するものである。

【0002】

【従来の技術】 図 7 (a) ~ (e) は従来の微細パターン形成方法を説明するためのプロセスフロー図であり、図において、100 は基板、300 は被加工膜、301 は加工パターン、600 はレジスト、601 はレジストパターンである。

【0003】 次に動作について説明する。基板 100 に導電性膜などの被加工膜 300 を形成し (図 7

(a))、その上にレジスト 600 をスピンコートなどにより形成し (図 7 (b))、これをフォトリソグラフィに付してレジストパターン 601 を得る (図 7

(c))。次いで、このレジストパターン 601 をマスクにして被加工膜 300 をエッチングすると加工パターン 301 が得られ (図 7 (d))、最後にレジストパターン 601 をアッシング、剥離処理を通じて除去し所望の微細パターンの形成が終了する (図 7 (e))。

【0004】 次に、図 8 (a) ~ (f) は従来の他の微細パターン形成方法を説明するためのプロセスフロー図であり、図において、400 はエッチングマスク膜、401 は加工後エッチングマスク膜、401a は修飾後エッチングマスク膜であり、これが被加工膜 300 に対するハードマスクとなる。また、その他の同一符号は同一構成要素または相当部分を示すものであるからその重複説明を省略する。

【0005】 次に動作について説明する。基板 100 に導電性膜などの被加工膜 300 を形成し (図 8

(a))、その上に被加工膜 300 とエッチング速度が異なり所望の選択比を有するエッチングマスク 400 を形成しこれにレジスト 600 をスピンコートなどにより形成し (図 8 (b))、これをフォトリソグラフィに付してレジストパターン 601 を得る (図 8 (c))。次いで、このレジストパターン 601 をマスクにして抜きパターン部の被加工膜 300 表面が露出するまでエッチングマスク膜 400 をエッチングし加工後エッチングマスク膜 401 を得る (図 8 (d))。

【0006】 レジストパターン 601 をアッシング、剥離処理などを經由して除去した後、被加工膜 300 とエッチング速度が異なりエッチング時の被加工膜 300 に対するマスクとなる膜を非選択的に等方性エッチング処理をして修飾後エッチングマスク膜 401a を形成し (図 8 (e))、これをハードマスクにして被加工膜 300 をエッチングすれば、所望の微細パターンの形成が終了する (図 8 (f))。

【0007】

【発明が解決しようとする課題】 従来の微細パターン形成方法は以上のように構成されているので、図 7 に記載

のように、被加工膜 300 上にレジストパターン 601 を形成し、それをマスクとしてエッチングすることにより加工パターン 301 を形成する、または、被加工膜 300 とエッチング速度が異なりエッチング時の被加工膜 300 に対するマスクとなる膜をマスクとして被加工膜 300 をエッチングすることにより加工パターン 301 を形成する方法ではあったが、これにより形成される加工パターン 301 は、リソグラフィ技術の解像力以上のパターン形成が不可能といった課題があった。

【0008】また、図 8 に記載のように、被加工膜 300 とエッチング速度が異なりエッチング時の被加工膜 300 に対するマスクとなる膜に対して、非選択的に等方性エッチングを行いパターン加工し、これをハードマスクとして被加工膜 300 をエッチングすることにより加工パターン 301 を形成する従来の微細パターン形成方法もあったが、これでは残しパターンの全ての部分が小さくなってしまいパターン設計上困難が生ずるといった課題があった。この発明は上記のような課題を解決するためになされたもので、必要な部分の残しパターンのみが縮小でき、設計上所望のパターンを得ることができる微細パターン形成方法およびその方法により製造した装置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る微細パターン形成方法は、被加工膜とエッチング速度が異なりエッチング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、この上にリソグラフィにより第 1 レジストパターンを形成する工程と、この第 1 レジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッチングしハードマスクパターンを形成する工程と、第 1 レジストパターンを除去する工程と、ハードマスクパターン上にリソグラフィにより第 2 レジストパターンを形成する工程と、この第 2 レジストパターンで覆われた部分以外に等方性エッチングを行う工程と、第 2 レジストパターンを除去する工程と、一部が等方性エッチングされたハードマスクパターンをマスクとして、被加工膜をエッチングする工程とを備えたものである。

【0010】この発明に係る微細パターン形成方法は、被加工膜が導電性膜からなるとともに、ハードマスク膜が絶縁膜からなるものである。

【0011】この発明に係る微細パターン形成方法は、被加工膜としての導電性膜がポリシリコン、タングステンシリサイド、アルミニウムおよびタングステンのうち少なくとも 1 種類またはこれらの多層膜により構成されるとともに、ハードマスク膜としての絶縁膜がシリコン酸化膜およびシリコン窒化膜のいずれか一方またはこれらの二層膜により構成されるものである。

【0012】この発明に係る微細パターン形成方法は、被加工膜が絶縁膜からなるとともに、ハードマスク膜が

導電性膜からなるものである。

【0013】この発明に係る微細パターン形成方法は、被加工膜としての絶縁膜がシリコン酸化膜およびシリコン窒化膜のうち一方またはこれらの二層膜により構成されるとともに、ハードマスク膜としての導電性膜がポリシリコン、タングステンシリサイド、アルミニウムおよびタングステンのうち少なくとも 1 種類またはこれらの多層膜により構成されるものである。

【0014】この発明に係る微細パターン形成方法は、等方性エッチングをウェットエッチングで行うものである。

【0015】この発明に係る微細パターン形成方法は、第 1 レジストパターンを形成する工程前に反射防止膜を形成する工程をさらに備えたものである。

【0016】この発明に係る半導体装置および液晶装置は、被加工膜とエッチング速度が異なりエッチング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、この上にリソグラフィにより第 1 レジストパターンを形成する工程と、この第 1 レジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッチングしハードマスクパターンを形成する工程と、第 1 レジストパターンを除去する工程と、ハードマスクパターン上にリソグラフィにより第 2 レジストパターンを形成する工程と、この第 2 レジストパターンで覆われた部分以外に等方性エッチングを行う工程と、第 2 レジストパターンを除去する工程と、一部が等方性エッチングされたハードマスクパターンをマスクとして、被加工膜をエッチングする工程とを備えた微細パターン形成方法により製造したものである。

【0017】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態 1. 図 1 (a) ~ (f) および図 2 (g) ~ (1) はこの発明の実施の形態 1 による微細パターン形成方法のプロセスフロー図であり、半導体装置ないし液晶装置の製造プロセス中の配線パターン形成時に利用するものである。

【0018】図において、1 は基板、2 は第 1 絶縁層、3 はポリシリコン、タングステンシリサイド、アルミニウム、タングステンのうち少なくとも 1 種類、または、これらの多層膜により構成される導電性膜（被加工膜）、4 はシリコン酸化膜、シリコン窒化膜のいずれか一方、または、これらの二層膜により構成される絶縁マスク膜（ハードマスク膜）、5 は有機反射防止膜、6 は第 1 レジストパターン、7 は第 2 レジストパターン、20 はコンタクトホール、41 は絶縁マスクパターン（ハードマスクパターン）、41a は絶縁マスクパターン修飾部（ハードマスクパターン）、31 は配線パターン、31a は細い配線パターン、8 は第 2 絶縁層、101、102 はホールパターンである。

【0019】次に動作について説明する。まず、基板 1 上に所望のコンタクトホール 20 を形成した第 1 絶縁層 2 上に導電性膜 3 をケミカルベーパーデポジションすなわち CVD 法により膜厚 350 nm にて成膜する (図 1 (a), (b))。その上に膜厚 100 nm の絶縁マスク膜 4 を成膜しレジストを塗布した後、これをクリプトンフッ素 (KrF) エキシマリソグラフィーにて最小線幅がリソグラフィー解像限界範囲の 180 nm の残し寸法と、180 nm の抜き寸法で第 1 レジストパターン 6 を形成する (図 1 (c) ~ (e))。

【0020】この際、この第 1 レジストパターン 6 の直下にはリソグラフィー特性向上のため膜厚 50 ~ 80 nm の有機反射防止膜 5 を形成してもよい (図 1 (e))。

【0021】なお、本微細パターンは、設計上、前記エキシマリソグラフィーの解像力を超越したパターンが望まれる。エキシマリソグラフィーにより形成した微細配線パターンをマスクとして、絶縁マスク膜 4 を下地の導電性膜 3 が露出するまで異方性エッチングを行い、絶縁マスクパターン 41 を形成する (図 1 (f))。

【0022】その後、O₂プラズマ等でアッシング処理を行うか、または、硫酸と過酸化水素水の混合溶液で第 1 レジストパターン 6 および有機反射防止膜 5 を除去する (図 2 (g))。これに、水銀ランプの g 線または i 線リソグラフィーで、所望の第 2 レジストパターン 7 を膜厚 1000 nm で形成する (図 2 (h))。

【0023】これを薄く希釈した (0.5 wt%) フッ素化水素溶液によりシリコン酸化膜からなる絶縁マスクパターン 41 を 3 ~ 50 nm の等方性エッチングの処理を行い、第 2 レジストパターン 7 で覆われていない部分のみシリコン酸化膜の配線幅を 60 ~ 100 nm 縮小し絶縁マスクパターン修飾部 41a を形成する (図 2 (i))。

【0024】次いで、前記第 2 レジストパターン 7 を O₂プラズマ等でアッシング処理を行うか、または、硫酸と過酸化水素水の混合溶液で剥離し絶縁マスクパターン修飾部 41a の作成を完了する (図 2 (j))。

【0025】そして、絶縁マスクパターン 41 と絶縁マスクパターン修飾部 41a からなるハードマスクを使用してタングステン等の導電性膜 3 に適正な異方性ドライエッチングを施し、配線パターン 31 および細い配線パターン 31a を形成する (図 2 (k))。なお、このエッチング中に、絶縁マスクパターン 41 および絶縁マスクパターン修飾部 41a は消失させても良いし残っていても良い。

【0026】上記一連の工程により、エキシマリソグラフィーの解像力を超越した 80 ~ 120 nm の細い配線残しパターンの形成が可能となる。

【0027】なお、その後、たとえばシリコン酸化膜による第 2 絶縁層 8 を成膜し、また細い配線パターン 3

1a を避けるように基板 1 に達するホールパターン 102 を第 2 絶縁層 8 に開孔し、また、その他の配線パターン 31 を踏み外さないようにホールパターン 101 を第 2 絶縁層 8 に開孔する (図 2 (l))。この際に、細い配線パターン 31a はできるだけ細い方がよく、その他の配線はできるだけ太い方がよい。

【0028】次に、図 3 (a) ~ (d) はこの発明の実施の形態 1 による第 1 具体例のプロセスフローを示す平面図であり、図において、7 は第 2 レジストパターン、41 は絶縁マスクパターン、41a は絶縁マスクパターン修飾部、101、102 はホールパターン、701 は第 2 レジストパターンの抜き部である。

【0029】次に動作について説明する。図 2 (g) に対応した絶縁マスクパターン 41 が導電性膜 3 上に形成されており (図 3 (a))、この絶縁マスクパターン 41 の細いパターン部の一部が開孔した形で第 2 レジストパターンが形成され (図 3 (b))、これに所定の等方性エッチングを施すと某開口箇所は配線幅を選択的に縮小することができ、破線部分が抜けてなくなった絶縁マスクパターン修飾部 41a が形成される (図 3 (c))。

【0030】その後、第 2 レジストパターン 7 をアッシング、剥離処理により除去してから、絶縁マスクパターン 41 と絶縁マスクパターン修飾部 41a をハードマスクにして、被加工膜である導電性膜 3 を下地の第 1 絶縁層が露出するまで異方性エッチングを行う。この上に、所望の厚みで第 2 絶縁層 8 を成膜してから、図 3 (d) のように、フォトリソグラフィーを経由し、この絶縁マスクパターン 41 の太いパターン部にはホールパターン 101 を形成し、一方、細いパターン部である絶縁マスクパターン修飾部 41a の両脇にはホールパターン 102 を形成するとすれば、上記抜けた破線部分の幅だけ設計的余裕度を向上することが可能となる。

【0031】さらに、図 4 (a) ~ (c) はこの発明の実施の形態 1 による第 2 具体例のプロセスフローを示す平面図であり、半導体のメモリ製品において左方が周辺回路パターン領域 (A) を示し右方がメモリセルパターン領域 (B) を示す。図において、7 は第 2 レジストパターン、41 は絶縁マスクパターン、41a は絶縁マスクパターン修飾部、101、102 はホールパターンである。

【0032】次に動作について説明する。図 2 (g) に対応した絶縁マスクパターン 41 が導電性膜 3 上に形成されており (図 4 (a))、絶縁マスクパターン 41 のうち左方の周辺回路パターン領域 (A) は全面に第 2 レジストパターン 7 が形成されて被覆されているが、右方のメモリセルパターン領域 (B) は第 2 レジストパターン 7 により被覆されていない。この状態で、所定の等方性エッチングを施したのち、第 2 レジストパターン 7 を除去すると、絶縁マスクパターン修飾部 41a がメモリ

セルパターン領域 (B) に得られる (図 4 (b))。

【0033】これらの絶縁マスクパターン 41 と絶縁マスクパターン修飾部 41a をハードマスクにして、導電性膜 3 に所望のエッチングを行うと、右方のメモリセルパターン領域 (B) には残しパターンの配線パターン 31a (図 2 (k) 参照) がその配線幅が縮小した形で作成される。

【0034】この上に、所望の厚みで第 2 絶縁層 8 を成膜してから、フォトリソグラフィを経てホールパターン 101、102 を形成し異方性エッチングにより開孔する (図 4 (c))。この際、ホールパターン 101 は通常どおりであるが、ホールパターン 102 の方は、配線パターン 31a の配線幅が縮小した分だけ設計マージンが向上しているのが分かる。

【0035】このように、半導体のメモリ製品であれば、メモリセルパターン部分の配線幅だけが選択的に縮小する必要があるものの、周辺回路パターン部分は前後のホールとの関係上配線幅を太く要求される場合などに有効である。

【0036】以上のように、この実施の形態 1 によれば、第 2 レジストパターン 7 をマスクとして、選択的に被加工膜である導電性膜 3 とはエッチング速度が異なりエッチング時の被加工膜 3 に対するハードマスクとなる絶縁マスク膜 4 を選択的に等方性エッチングするため、必要な部分の残しパターンのみが縮小でき、設計上所望のパターンが実現できるという効果が得られる。

【0037】実施の形態 2、図 5 (a) ~ (e) および図 6 (f) ~ (j) はこの発明の実施の形態 2 による微細パターン形成方法のプロセスフロー図であり、半導体装置ないし液晶装置の製造プロセス中のホールパターンまたは溝パターンを形成する際に利用するものである。

【0038】図において、1 は基板、2 はシリコン酸化膜、シリコン窒化膜のいずれか一方、または、これらの二層膜により構成される第 1 絶縁層 (被加工膜)、3a はポリシリコン、タングステンシリサイド、アルミニウム、タングステンのうち少なくとも 1 種類、または、これらの多層膜により構成される導電性膜からなる下層配線、9 はポリシリコン等のシリコン酸化膜に対するエッチング選択比が高く、したがってシリコン酸化膜エッチングのマスクとなり得る導電マスク膜 (ハードマスク膜)、5 は有機反射防止膜、6 は第 1 レジストパターン、91 は導電マスクパターン (ハードマスクパターン)、91a は導電マスクパターン修飾部 (ハードマスクパターン)、21 は絶縁パターン、21a は細い絶縁パターン、501 はコンタクトホール、502 は抜き部である。

【0039】次に動作について説明する。まず、基板 1 上にすでに加工されパターン化した下層配線 3a と、その後膜厚 500 nm にて成膜された第 1 絶縁層 2 の上に、ポリシリコン等のシリコン酸化膜に対するエッチン

グ選択比が高くシリコン酸化膜エッチングのマスクとなり得る導電マスク膜 9 を、例えば 150 nm の膜厚で成膜する (図 5 (a), (b))。

【0040】その上にクリプトンフッ素 (KrF) エキシマリソグラフィにより、ホールパターンまたは溝パターンをした第 1 レジストパターン 6 を最小寸法がリソグラフィ解像限界範囲の 180 nm の抜き寸法でパターン形成する。また、このパターンニング時にその他の寸法の第 1 レジストパターン 6 も形成されている。なお、この際にリソグラフィ特性向上のため、レジスト直下に膜厚 50 ~ 80 nm の有機反射防止膜 5 を形成しても良い (図 5 (c) ~ (d))。

【0041】ここで、本微細パターンは、設計上、前記エキシマリソグラフィの解像力を超越したパターンが望まれる。このため、エキシマリソグラフィにより形成した微細抜きパターンをマスクとして、ポリシリコン等のシリコン酸化膜に対するエッチング選択比が高くシリコン酸化膜エッチングのマスクとなり得る導電マスク膜 9 に異方性エッチング処理を施す (図 5 (e))。

【0042】その後、O₂ プラズマ等でアッシング処理を行う、または、硫酸と過酸化水素水の混合溶液でレジストおよび有機反射防止膜 5 を除去し、導電マスクパターン 91 の作成が終了し図 6 (f) の状態まで達する。これに水銀ランプの g 線または i 線リソグラフィで所望の第 2 レジストパターン 7 を膜厚 1000 nm で形成する (図 6 (g))。

【0043】その後、例えば導電マスク膜 9 がポリシリコンであれば塩素ガスまたは SF₆/O₂ 系のガスで、30 ~ 50 nm の等方性エッチングを行い、第 2 レジストパターン 7 で覆われていない部分のみポリシリコンの抜き寸法を 60 ~ 100 nm 拡大する (残し寸法を縮小する)。これにより導電マスクパターン修飾部 91a が形成する (図 6 (h))。

【0044】その後、前記第 2 レジストパターン 7 を O₂ プラズマ等でアッシング処理を行うか、または、硫酸と過酸化水素水の混合溶液で剥離する (図 6 (i))。ポリシリコンからなる導電マスクパターン 91 および導電マスクパターン修飾部 91a をハードマスクとしてシリコン酸化膜である第 1 絶縁層 2 に適正な異方性のドライエッチングを施し、シリコン酸化膜による絶縁パターン 21、21a を形成し (図 6 (j))、同時にコンタクトホール 501、抜き部 502 もできあがる。

【0045】なお、このエッチング中に、前記ポリシリコンによるハードマスクを消失させても良いし、残っていても良い。上記一連の工程により、エキシマリソグラフィの解像力を超越したパターンの形成が可能になる。

【0046】なお、この場合、図 6 (j) のコンタクトホール 501 の部分は、すでに形成された下層配線 3a

を踏み外さないことが要求されているため、抜き寸法を拡大できないが、図 6 (j) の導電マスクパターン修飾部 91a はできる限り残し寸法を細くする必要があるが、この方法によりこれが実現可能となる。

【0047】 以上のように、この実施の形態 2 によれば、第 2 レジストパターン 7 をマスクとして、選択的に被加工膜である第 1 絶縁膜 2 とエッチング速度が異なり、エッチング時の被加工膜に対するハードマスクとなる導電マスク膜 9 を選択的に等方性エッチングするため、必要な部分の残しパターンのみが縮小でき、設計上
10 所望のパターンを実現できるという効果が得られる。

【0048】

【発明の効果】 以上のように、この発明によれば、被加工膜とエッチング速度が異なりエッチング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、この上にリソグラフィにより第 1 レジストパターンを形成する工程と、この第 1 レジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッチングしハードマスクパターンを形成する工程と、第 1 レジストパターンを除去する工程と、ハードマスクパターン
20 上にリソグラフィにより第 2 レジストパターンを形成する工程と、この第 2 レジストパターンで覆われた部分以外に等方性エッチングを行う工程と、第 2 レジストパターンを除去する工程と、一部が等方性エッチングされたハードマスクパターンをマスクとして、被加工膜をエッチングする工程とを備えるように構成したので、第 2 レジストパターンをハードマスクとして、選択的に被加工膜とエッチング速度が異なりエッチング時の被加工膜に対するマスクとなるハードマスク膜を等方性エッチングすることにより、必要な部分の残しパターンのみが縮
30 小でき、設計上所望のパターンを得ることができるという効果がある。

【0049】 この発明によれば、被加工膜が導電性膜からなるとともに、ハードマスク膜が絶縁膜からなるように構成したので、選択的ハードマスクの縮小による配線形成が可能となる効果がある。

【0050】 この発明によれば、被加工膜としての導電性膜がポリシリコン、タングステンシリサイド、アルミニウムおよびタングステンのうち少なくとも 1 種類またはこれらの多層膜により構成されるとともに、ハードマスク膜としての絶縁膜がシリコン酸化膜およびシリコン窒化膜のいずれか一方またはこれらの二層膜により構成されたので、選択的ハードマスクの縮小による配線形成が具体的に実現可能となる効果がある。

【0051】 この発明によれば、被加工膜が絶縁膜からなるとともに、ハードマスク膜が導電性膜からなるように構成したので、選択的ハードマスクの縮小によるホール形成が可能となる効果がある。

【0052】 この発明によれば、被加工膜としての絶縁膜がシリコン酸化膜およびシリコン窒化膜のうち一方
50

またはこれらの二層膜により構成されるとともに、ハードマスク膜としての導電性膜がポリシリコン、タングステンシリサイド、アルミニウムおよびタングステンのうち少なくとも 1 種類またはこれらの多層膜により構成されたので、選択的ハードマスクの縮小によるホール形成が具体的に実現可能となる効果がある。

【0053】 この発明によれば、等方性エッチングをウェットエッチングで行うように構成したので、所望の絶縁膜からなる選択的ハードマスクの縮小が有効かつ容易にできる効果がある。

【0054】 この発明によれば、第 1 レジストパターン形成する工程前に反射防止膜を形成する工程をさらに備えるように構成したので、形成される第 1 レジストパターンの形状が安定し、ひいては出来上がり配線またはホールの形状が安定する効果がある。

【0055】 この発明によれば、半導体装置ないし液晶装置が、被加工膜とエッチング速度が異なりエッチング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、この上にリソグラフィにより第 1 レジストパターンを形成する工程と、この第 1 レジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッチングしハードマスクパターンを形成する工程と、第 1 レジストパターンを除去する工程と、ハードマスクパターン上にリソグラフィにより第 2 レジストパターンを形成する工程と、この第 2 レジストパターンで覆われた部分以外に等方性エッチングを行う工程と、第 2 レジストパターンを除去する工程と、一部が等方性エッチングされたハードマスクパターンをマスクとして、被加工膜をエッチングする工程とを備えた微細パターン形成方法により製造するように構成したので、設計上所望のパターンを得ることができ装置設計マージンが拡大する効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による微細パターン形成方法のプロセスフロー図である。

【図 2】 この発明の実施の形態 1 による微細パターン形成方法のプロセスフロー図である。

【図 3】 この発明の実施の形態 1 による第 1 具体例のプロセスフローを示す平面図である。

【図 4】 この発明の実施の形態 1 による第 2 具体例のプロセスフローを示す平面図である。

【図 5】 この発明の実施の形態 2 による微細パターン形成方法のプロセスフロー図である。

【図 6】 この発明の実施の形態 2 による微細パターン形成方法のプロセスフロー図である。

【図 7】 従来の微細パターン形成方法を説明するためのプロセスフロー図である。

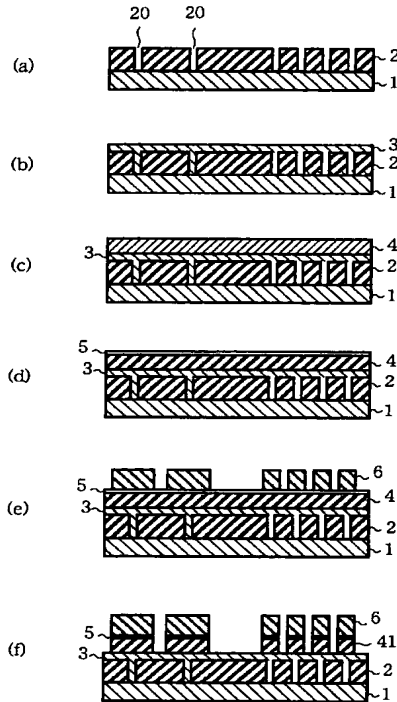
【図 8】 従来の他の微細パターン形成方法を説明するためのプロセスフロー図である。

【符号の説明】

11

1 基板、2 第1絶縁層（被加工膜）、3 導電性膜（被加工膜）、3a 下層配線、4 絶縁マスク膜（ハードマスク膜）、5 有機反射防止膜、6 第1レジストパターン、7 第2レジストパターン、8 第2絶縁層、9 導電マスク膜（ハードマスク膜）、20 コンタクトホール、21 絶縁パターン、21a 細い絶縁パターン、31 配線パターン、31a 細い配線パタ

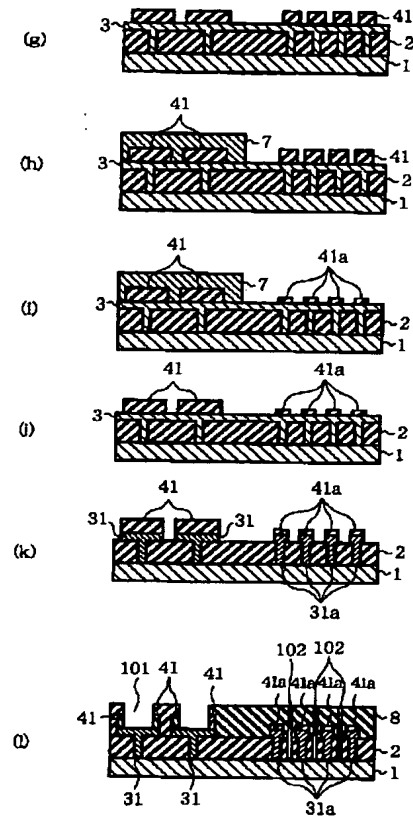
【図1】



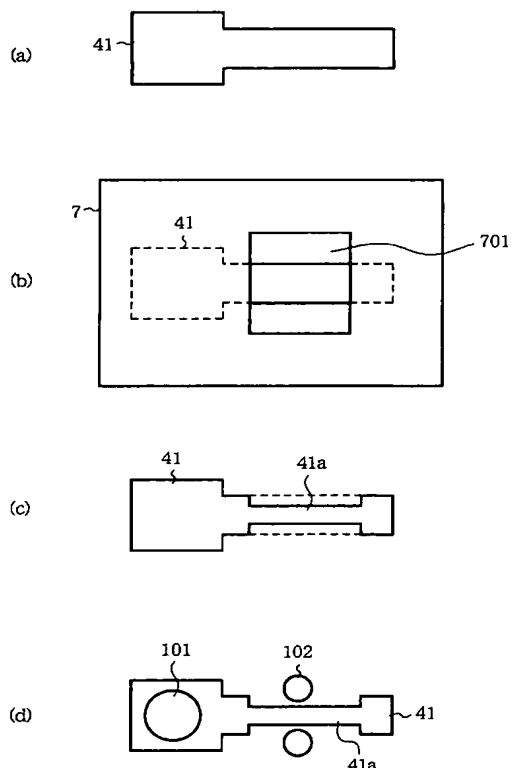
12

ーン、41 絶縁マスクパターン（ハードマスクパターン）、41a 絶縁マスクパターン修飾部（ハードマスクパターン）、91 導電マスクパターン（ハードマスクパターン）、91a 導電マスクパターン修飾部（ハードマスクパターン）、101、102 ホールパターン、501 コンタクトホール、502 抜き部。

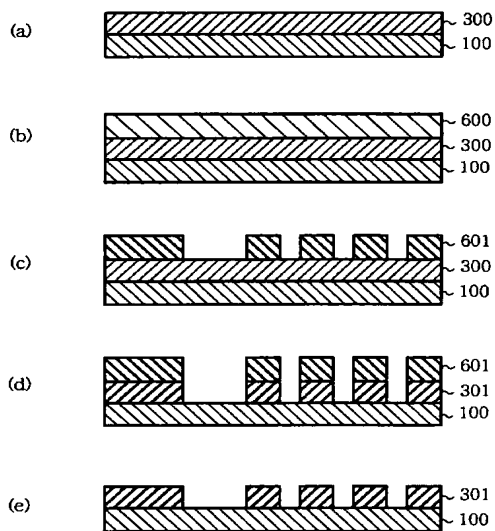
【図2】



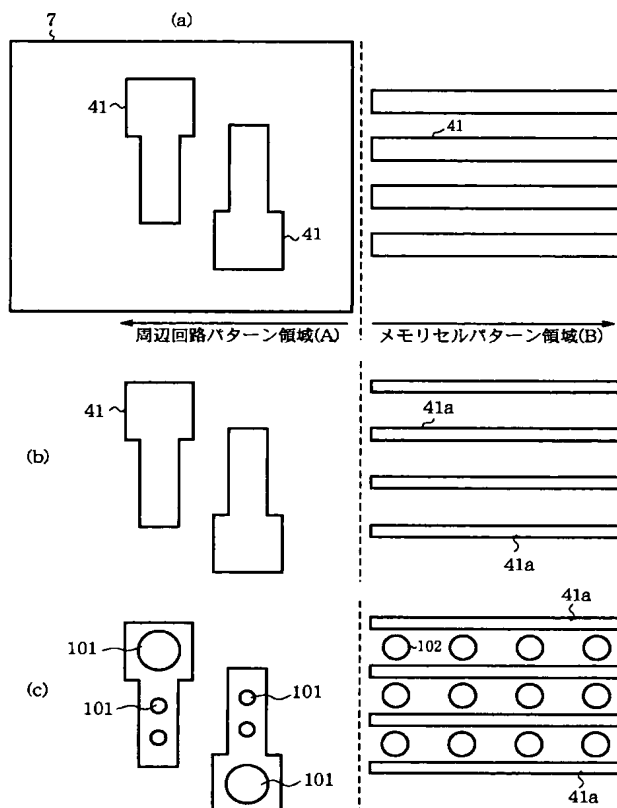
【図 3】



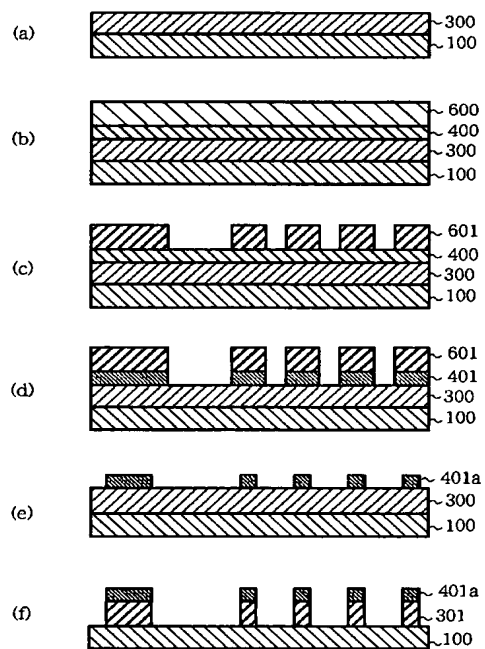
【図 7】



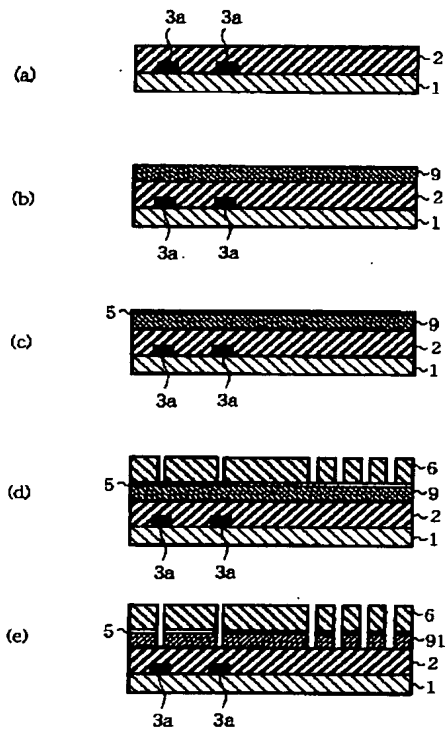
【図 4】



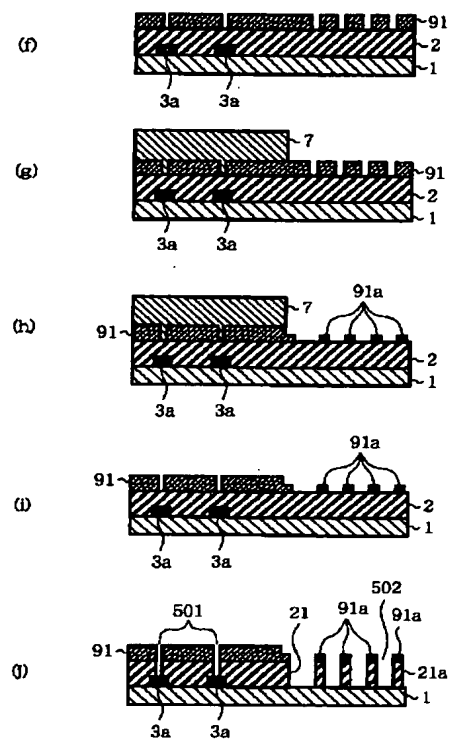
【図 8】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マ-ト (参考)

H O 1 L 21/8242

F タ-ム (参考) 5F004 AA16 DA04 DA18 DA26 DB02
 DB03 DB07 DB09 DB10 DB15
 EA05 EA06 EA07 EA10 EB02
 FA08
 5F033 HH04 HH08 HH19 HH28 JJ01
 JJ04 JJ08 JJ19 JJ28 KK01
 KK04 KK08 KK19 KK28 PP06
 QQ01 QQ04 QQ08 QQ09 QQ10
 QQ12 QQ16 QQ18 QQ19 QQ27
 QQ28 QQ37 RR04 RR06 UU01
 VV16 XX03
 5F043 AA29 AA31 AA35 AA38 BB21
 BB22 BB23 GG02
 5F046 AA05 AA28 PA07
 5F083 GA27 JA32 JA35 JA36 JA39
 LA11 LA21 PR03 PR05 PR21